

概述

74HC4052 是一块带有公共使能输入控制位的3路二选一模拟开关电路。每一个多路选择开关都有两个独立的输入/输出(YO 到 Y1)、一个公共的输入/输出端(Z) 和选择输入(Sn)。每一路都包含了两个双向模拟开关, 开关的一边连接到独立输入/输出(YO 到 Y1), 另一边连接到公共输入输出端(Z)。

当 E 为低电平时, 两个开关中的其中一个被 Sn 选通(低阻导通态)。当 E 为高电平时, 所有开关都处于高阻关断态, 与 SA~Sc 无关。

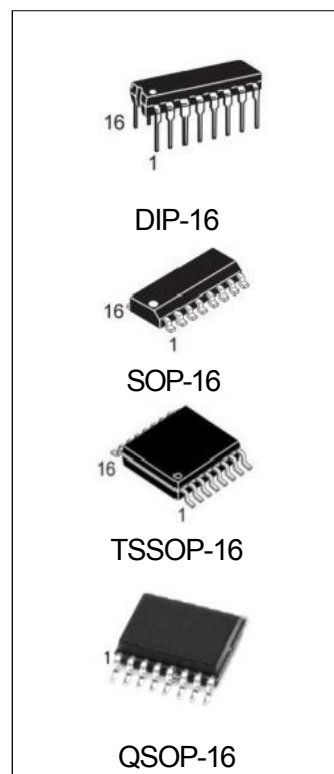
VDD 和 Vss 是连接到数字控制输入(SA、Sc 和 E) 的电源电压。

(VDD-Vss) 的范围是3~9V, 模拟输入输出(Yo~Y1 和 Z) 能够在最高VDD, 最低 VEE 之间变化。(VDD-VEE) 不会超过9V。

对于用做数字多路选择开关, VEE 和 Vss 是连在一起的(通常接地)。

74HC4053 主要应用于模拟多路选择开关、数字多路选择开关及信号选通。

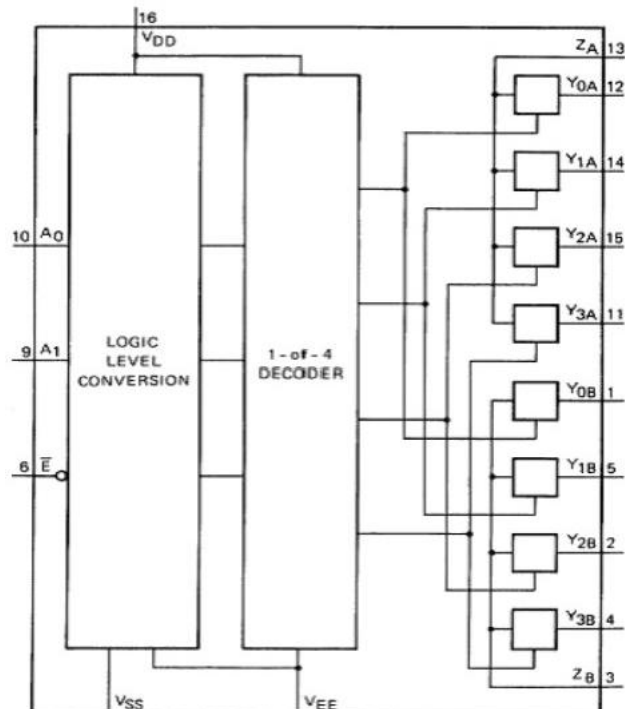
封装形式: DIP-16/SOP-16/TSSOP-16/QSOP-16



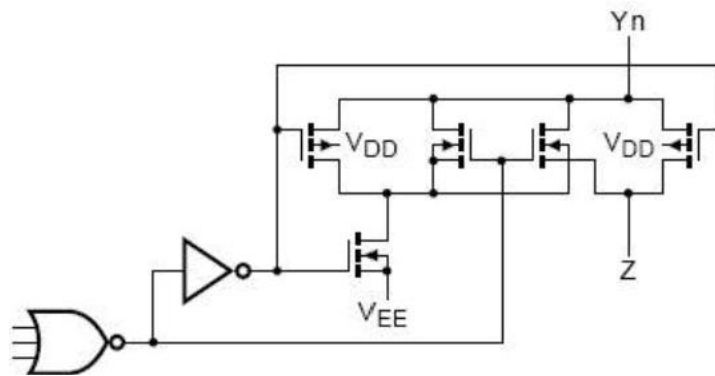
产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC4053N	DIP-16	74HC4053	管装	1000只/盒
74HC4053M/TR	SOP-16	74HC4053	编带	2500只盘
74HC4053MT/TR	TSSOP-16	HC4053	编带	2500只虚
74HC4053MS/TR	QSOP-16	HC4053	编带	2500只/盘

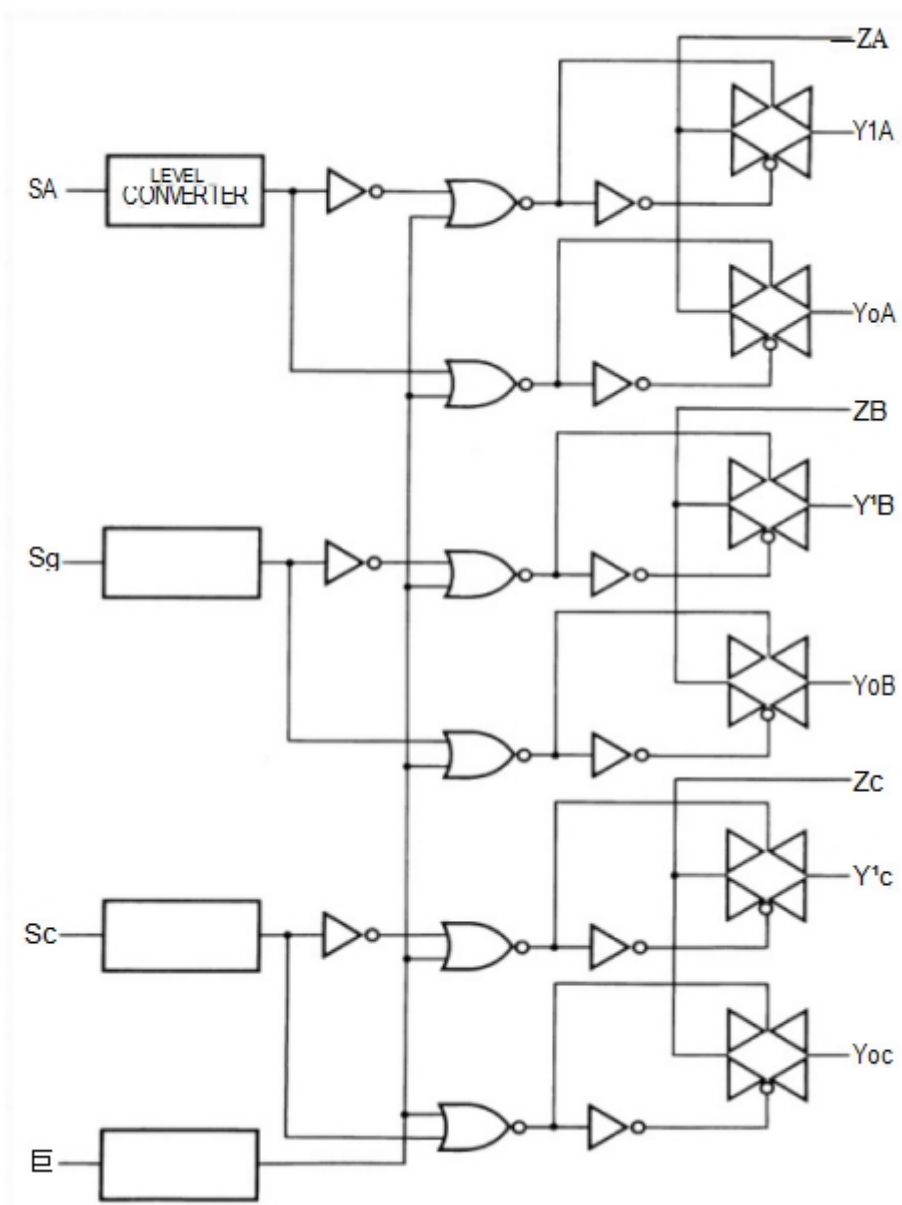
功能框图



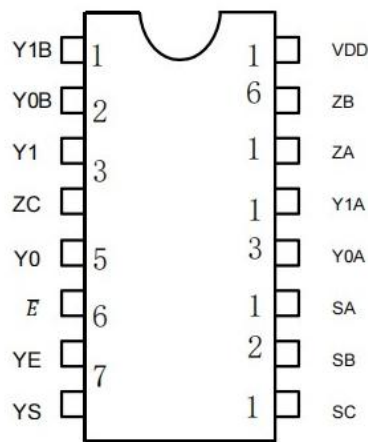
电路图(一个开关)



逻辑图



引脚排列图



引脚说明

引脚	符号	功能	引脚	符号	功能
	Y1B	独立输入/输出	9	Sc	选择输入端
2	YoB	独立输入/输出	10	SB	选择输入端
3	Y1C	独立输入/输出	11	SA	独立输入端
4	Zc	共用输入/输出	12	YoA	独立输入/输出
5	Yoc	独立输入/输出	13	Y1A	独立输入/输出
6	E	使能输入(低电平有效)	14	ZA	共用输入/输出
7	VEE	负电源电压	15	ZB	共用输入/输出
8	Vss	接地	16	VDD	正电源电压

功能说明 (真值表、逻辑关系等)

输入		沟道导通
E	Sn	
L	L	Yon—Zn
L	H	Y _{1n} —Zn
H	x	无

注：1. H 是高电平状态 (较高的正电压)

2. L 是低电平状态 (较低的正电压)

3. “×” 是任意状态

4.n=A,B,C

极限参数

符号	参数	条件	最小	最大	单位
Vbp	电源电压范围		-0.5	+12	V
VDD-VEE	电源电压范围		-0.5	+12	V
Ia	静态电流	VDD-VEE=12V		2	μA
Vi	输入电压范围		-0.5	Vbd+0.5	V
HI	高电平输入电流	Vbp=5V, V=VDD			μA
Iu	低电平输入电流	Vpp=5V, Vi=0V			μA
Vio	输入输出电压范围		VEE-0.5	VDD+0.5	V
Iki	输入钳位电流	$V_i < -0.5V$ 或 $V_i > V_{pp} + 0.5V$		±20	mA
Iok	输入输出钳位电流	$V_o < VEE - 0.5V$ 或 $V_o > V_{pp} + 0.5V$		±20	mA
Iπ	开关导通电流	$V_o = -0.5V \sim V_{pp} + 0.5V$		±25	mA
IbD, IGND	Vbd 或 GND 电流			±50	mA
PD	功耗			500	mW
TSTC	贮存温度		-65	+150	°C
Top	工作温度		-40	+85	°C
TL	焊接温度	10秒	DIP封装	245	°C
			SOP封装	245	

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

推荐使用条件

符号	参数	条件	最小	典型	最大	单位
VbD	电源电压		3.0	5.0	9.0	V
VEE	电源电压		-6.0		0	V
VDD-VEE	电源电压		3.0		9.0	V
Vi	输入电压		0		VDD	V
Vo	输入输出电压		VEE		VDD	V
tr,tf	输入上升、下降时间	Vcc=3.0V			1000	ns
		Vcc=5.0V			500	ns

		Vcc=6.0V			400	ns
Top	工作温度		-40		+85	°C

直流特性

参数	V _{pp-VEE} (V)	符号	典型	最大	单位	条件
导通电阻	5 9	R _{on}	350 80	2500 245	Ω	V _{is} =0~V _{DD} -V _{EE} 见图1
导通电阻	5 9	R _{on}	115 50	340 160	Ω	V _{is} =0 见图1
导通电阻	5 9	R _{on}	120 65	365 200	Ω	V _{is} =V _{DD} -V _{EE} 见图1
任意两个通道导通电阻的差值	5 9	ΔR _{oN}	25 10	-	Ω	V _{is} =0~V _{DD} -V _{EE} 见图1
关断态漏电流 (所有通道关断)	5 9	I _{ozz}	-	- 1000	nA	E处于V _{DD}
关断态漏电流 (任一通道)	5 9	I _{ozy}	-	- 200	nA	E处于V _{EE}

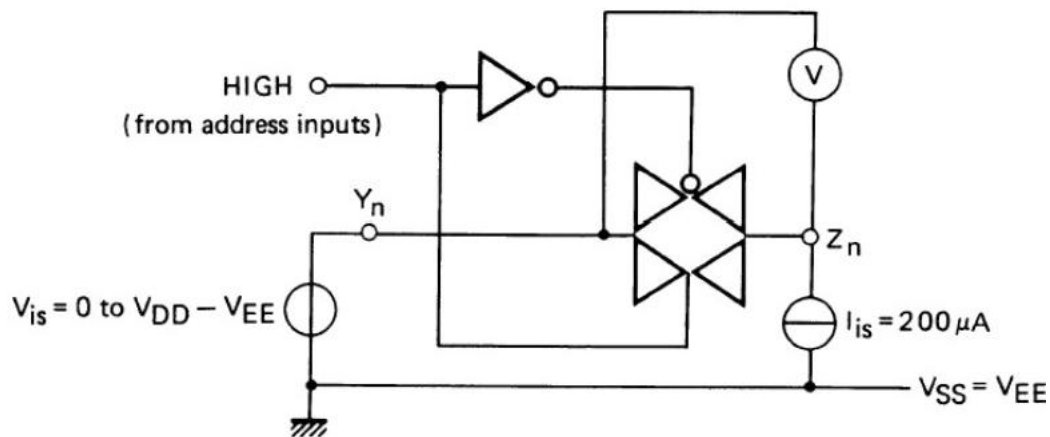


图 1 导通电阻的测试

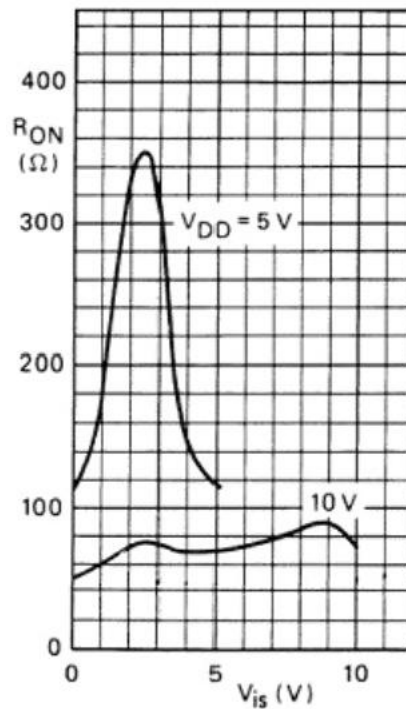


图2 导通电阻是输入电压的函数 ($I_{is}=200\mu A$ $V_{ss}=V_{EE}=0V$)

交流特性 ($V_{ss}=V_{EE}=0V$; $T_{amb}=25^{\circ}C$; 输入转换时间小于20ns)

	Vbd(V)	功率计算公式(μW)	f是输入频率(MHz) fo是输出频率(MHz) CL是负载电容(pF) Z(f _o CL)是输出之和 Vbd是电源电压(V)
一块电路的动态功率耗散(P)	5 9	$2500f+\geq(f_oCL)\times V_{pp}^2$ $11500f+Z(f_oCL)\times V_{pp}^2$	

参数		VpD(V)	符号	典型	最大	单位	备注
传输延时 Vis	高到低	5 9	tpHL	10 5	20 10	ns	注释1

V_{os}	低到高	5 9	tpLH	15 5	30 10	NS	注释1
传输延时 An	高到低	5 9	tpHL	200 85	400 170	NS	注释2
V_{os}	低到高	5 9	tpLH	275 100	555 200	NS	注释2
输出 禁止 时间 E→Vos	高	5 9	tpHZ	200 115	400 230	ns	注释3
	低	5 9	tpLz	200 120	400 245	NS	注释3

输出 使能 时间 E →Vos	高	5 9	tpzH	260 95	525 190	nS	注释3
	低	5 9	tpzL	280 105	565 205	nS	注释3
失真 (正弦波响应)		5 9		0.25 0.04		%	注释4
任意两个通道 之间的干扰		5 9		1		MHz	注释5
串扰, 使能端或 选择端到输出		5 9		50		mV	注释6
关断态		5 9		1		MHz	注释7
导通态频率响应		5 9		13 40		MHz	注释8

注释: V_{is} 是 Y 或 Z 端的输入电压, V_{os} 是 Y 或 Z 端的输出电压

1. $R_L=10K\Omega$ 到 VEE; $C_L=50pF$ 到 VEE; $E=V_{ss}$; $V_{is}=V_{DD}$ (方波); 如图3 所示
2. $R_L=10K\Omega$; $C_i=50pF$ 到 VEE; $E=V_{ss}$; $S_n=V_{DD}$ (方波); $V_{is}=V_{DD}$ 和, R_L 到 VEE用来测量tpLH; $V_{is}=VEE$ 和 R_L 到VDD用来测量TPHL; 如图3所示
3. $R_L=10K\Omega$; $C_i=50pF$ 到 VEE; $E=V_{DD}$ (方波); $V_{is}=V_{DD}$; R_L 到 VEE; 测量 tPHZ 和 tpzH 时; $V_{is}=VEE$ 和 R_L 到 V_{op} 用来测量 tpLz和 tpzL; 如图 3 所示
4. $R_L=10K\Omega$; $C_L=15pF$, 通道开; $V_{is}=V_{DD}(P-P)/2$ (正弦波, 在 $V_{oD}/2$ 处对称), $f_{is}=1KHz$; 如图4 所示
5. $R_L=1K\Omega$; $V_{is}=V_{DD}(PP)/2$ (正弦波, 在 $V_{op}/2$ 处对称); $20lg(V_{os}/V_{is})=-50dB$; 如图5所示
6. $R_L=10K\Omega$ 到 VEE; $C_i=15pF$ 到 VEE; E 或 $S_n=V_{po}$ (方波); 干扰是 $|V_{os}|$ (峰值); 如图3 所示
7. $R_L=1K\Omega$; $C_i=5pF$; 通道关; $V_{is}=V_{DD}(P-P)/2$ (正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/N_{is})=-50dB$; 如图4 所示
8. $R_i=1K\Omega$; $C_i=5pF$; 通道开; $V_{is}=V_{oD}(P-P)/2$ (正弦波, 在 $V_{DD}/2$ 处对称); $20lg(V_{os}/N_{is})=-3dB$; 如图 4 所示

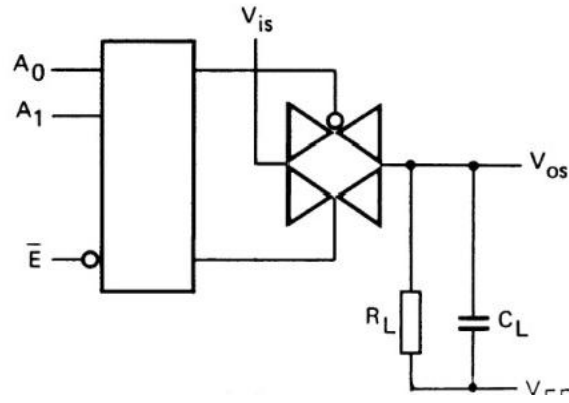


图 3

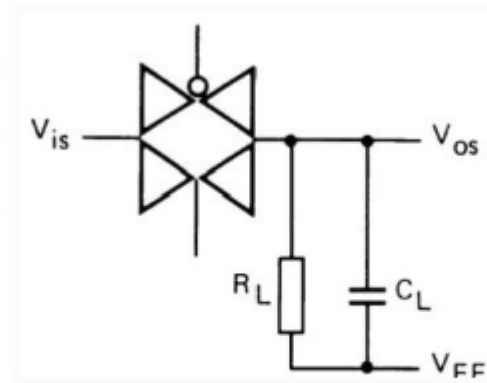


图 4

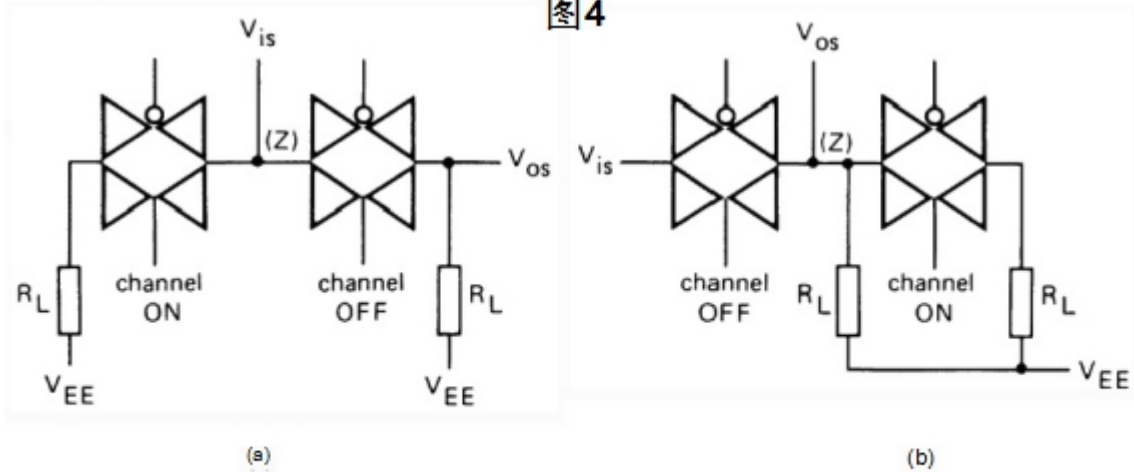
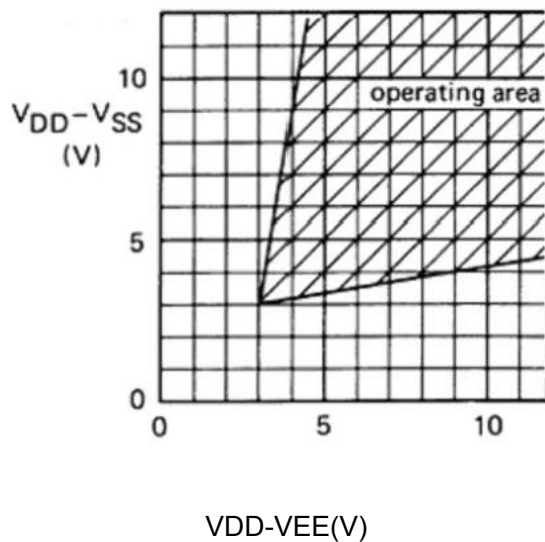


图 5

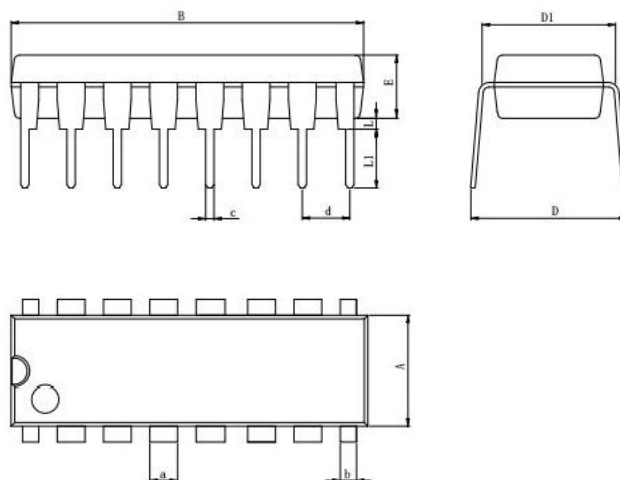
应用说明

电路工作区域



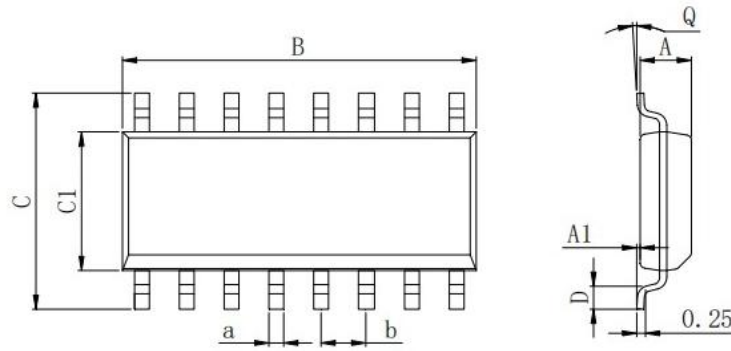
封装外形尺寸

DIP-16



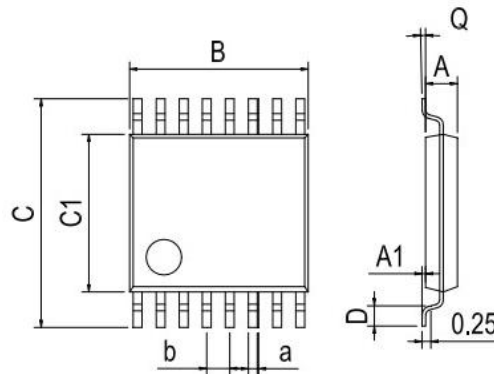
Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	C	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

SOP-16



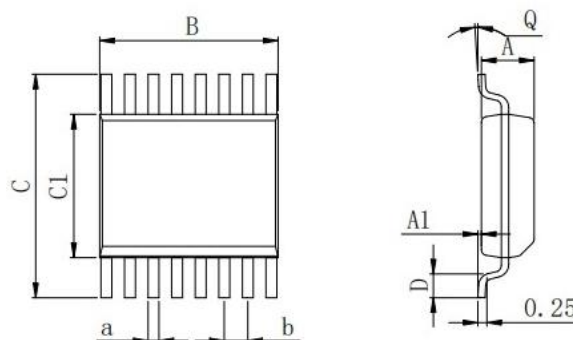
Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8°	0.45	

TSSOP-16



Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

QSOP-16



Dimensions In Millimeters(QSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	4.80	5.80	3.80	0.40	0°	0.20	0.635 BSC
Max:	1.55	0.20	5.10	6.20	4.00	0.80	8°	0.25	

修订历史

日期	修改内容	页码
2018-6-8	新修订	1-13
2023-12-13	修改封装尺寸图TSSOP-16、更新引脚焊接温度、更新封装、更新DIP-16尺寸、增加极限参数注释、更新SSOP-16封装为QSOP-16	1、5、10、11